

No. 62-133842

## SPECIFICATION

### 1. Title of the Invention

Multilevel quadrature amplitude modulation system

### 2. What is claimed is:

A multilevel quadrature amplitude modulation system, being used in a multilevel quadrature amplitude modulating apparatus comprising:

a differential-rotation object encoder (1) for encoding digital signals in plural systems being entered so as to remove the phase ambiguity of regenerative carrier,

a digital/analog converter (2) for converting the output of said differential-rotation object encoder into an analog signal, and

a modulator (3) for modulating the carrier in quadrature amplitude by the output of said digital/analog converter, comprising:

a signal point layout converter (4) for expanding the interval of signal points closest to the boundary of each quadrant,

wherein the bit error rate is improved.

### 3. Detailed Description of the Invention

#### [Summary]

In a multilevel quadrature amplitude modulation system,

a signal point layout converter is inserted between a differential-rotation object encoder for removing phase ambiguity of regenerative carrier and a digital-to-analog converter, and the interval of signal points closest to the boundary of each quadrant is expanded, so that deterioration of bit error rate is improved.

[Industrial Field of Utilization]

The present invention relates to an improvement of multilevel quadrature amplitude modulation system used in digital microwave communications.

Recently, various digital microwave systems are realized, including the 64-level quadrature amplitude modulation system (hereinafter called 64QAM system), and to enhance the efficiency of use of frequency, there is a further multilevel trend, for example, 256QAM system.

The more advanced the multilevel trend, the severer is required the performance of the apparatus, and the apparatus is required, for example, to minimize the deterioration of bit error rate.

[Prior Art]

Fig. 3 is a block diagram of a conventional example, and Fig. 4 shows a signal point layout diagram of Fig. 3, both referring to the 256QAM system.

The numeral given beneath each point is data of second bit to fourth bit, and when the first bit numeral given in the upper right parentheses of each quadrant is added before the second bit, the corresponding data is obtained. For example, the data

at point A is 100 100, and when 11 at the upper right corner of the first quadrant is added, it actually shows 1100 1100.

Referring to Fig. 4, the operation in Fig. 3 is explained. First, in Fig. 3, the entered data of four bits and two systems (1ch, Qch) is given to the differential encoder 11 of the differential-rotation object encoder 1.

Herein, as disclosed in "Digital Microwave Communications" (Moriji Kuwabara, pp. 106-107, published by Project Center, March 1, 1985), in order to demodulate the correct data without knowing the absolute phase of transmission signal, the information is not placed on the position of signal point, but the information is placed on the transition of position.

That is, the summation operation of  $y_i = x_i + y_{i-1}$  is converted by the differential encoder 11 into the original signal by differential operation of  $x_i = y_i - y_{i-1} \dots (x_i + y_{i-1}) - y_{i-1} = x_i$  in the reception side differential decoder (not shown), so that it is possible to demodulate without knowledge of absolute phase of the transmission signal.

Herein,  $y_i$  is the encoder output and  $x_i$  is the encoder input, and the summation operation and differential operation are paired operations, and both are combined and called differential conversion.

Consequently, the output of the differential encoder 11 is added further to the rotation object encoder 12, and, as shown in Fig. 12, the second-bit to fourth-bit codes are arranged so that equal codes of each quadrant may be at intervals of 90

degrees.

For example, in Fig. 4, signal point B of fourth quadrant and signal point B of first quadrant, and signal point C of first quadrant and signal point C of second quadrant are respectively at an interval of 90 degrees (except for the code of the first bit). Accordingly, when demodulating, if there is phase ambiguity of  $90 \times n$  degrees, such as 0, 90, 180 and 270 degrees in the phase of the reference carrier, no change occurs in the second to fourth bit, and the differential conversion may be done only on the first bit signal, and the signals of second to fourth bit are passed directly without being converted.

Herein,  $n$  is an integer.

When 1100 1100 is entered in the rotation object encoder 12, 1111 1111 is put out, and is converted into a maximum analog quantity in digital/analog converters 21, 22, and the carrier is modulated in quadrature amplitude in the modulator 3, and arranged at the position of point A.

Here, the input data are converted to analog amount corresponding to the respective positions of signal point layout diagram of Fig. 4, and disposed to positions as shown in Fig. 4, respectively.

[Problem that the Invention Is to Solve]

As shown in the signal point layout in Fig. 4, within a same quadrant, for example, if signal point D (000 010) of the lower three bits is mistaken to an adjacent bit 001 110, or 001 010, only one bit is wrong.

However, in the case of error over plural quadrants, a

multibit error occurs. For example, as shown in the column of "Number of errors when crossing quadrants" in Fig. 4, a maximum error of six bits may occur. This is a problem of deterioration of error rate.

[Means for Solving the Problem]

The problem is solved by the multilevel quadrature amplitude modulation system of the invention for improving the bit error rate, by disposing, as shown in Fig. 1, a signal point layout converter 4 in the multilevel quadrature amplitude modulating apparatus, and expanding the interval between the signals closest to the boundary of each quadrant.

[Operation of the Invention]

The invention has decreased the possibility of occurrence of error crossing over quadrants, by expanding the interval of signal points closest to the boundary of each quadrant.

That is, between a differential-rotation object encoder 1 and a digital/analog converter 2, a signal point layout converter 4 storing the signal point layout in Fig. 2, for example, a read-only memory is inserted, and the output of the rotation object encoder 12 is converted to the signal point layout in Fig. 2 and added to the digital/analog converter. As a result, the number of wrong signal points crossing quadrants is decreased, and the bit error rate is improved.

[Embodiment]

Fig. 1 is a block diagram of an embodiment of the invention, and Fig. 2 shows a signal point layout of Fig. 1, and the unit added in the embodiment of the invention is a signal point layout

converter 4.

Throughout the drawings, same reference numerals represent same components, and the 256QAM system is shown.

Referring now to Fig. 2 and Fig. 4, the operation in Fig. 1 is described below.

As shown in Fig. 1, the entered data of four bits and two systems (lch, Qch) is converted into a 2-level signal as shown in signal point layout in Fig. 4 by the differential-rotation object encoder 1, and is added to the signal point layout converter 4. The signal point layout converter is composed of, for example, a read-only memory, which stores the data for converting the signal point layout in Fig. 4 into the signal point layout in Fig. 2, and the corresponding data is read out according to the output of the rotation object encoder as the address, and is added to the digital/analog converter 2 to be converted to an analog quantity, and the carrier is modulated in quadrature amplitude in the modulator 3, so that the 256QAM wave having the signal point layout as shown in Fig. 2 is obtained. As a result, the bit error rate is improved.

[Effects of the Invention]

As described in detail herein, the interval between signal points closest to the boundary of each quadrant is expanded, and hence the deterioration of bit error rate is improved.

#### 4. Brief Description of the Drawings

Fig. 1 is a block diagram of an embodiment of the invention,

Fig. 2 is a signal point layout of Fig. 1,

Fig. 3 is a block diagram of a conventional example, and  
Fig. 4 is a signal point layout of Fig. 3.

In the drawings,

1 is a differential-rotation object encoder,

2 is a digital/analog converter,

3 is a modulator, and

4 is a signal point layout converter.

Attorney: Sadakazu Igeta, patent attorney

Fig. 1 Block diagram of an embodiment of the invention.

1 Differential-rotation object encoder

3 Modulator

4 Signal point layout converter

11 Differential encoder

12 Rotation object encoder

Fig. 2 Signal point layout of Fig. 1.

Fig. 3 Block diagram of a conventional example.

3 Modulator

11 Differential encoder

12 Rotation object encoder

Fig. 4 Signal point layout of Fig. 3.

Number of errors when crossing quadrants

## ⑫ 公開特許公報(A) 昭62-133842

⑪ Int.Cl.<sup>1</sup>  
H 04 L 27/00識別記号 庁内整理番号  
E-8226-5K

⑬ 公開 昭和62年(1987)6月17日

審査請求 未請求 発明の数 1 (全1頁)

⑭ 発明の名称 多値直交振幅変調方式

⑯ 特 願 昭60-274003

⑰ 出 願 昭60(1985)12月5日

⑱ 発 明 者 飯 塚 昇 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

## 明 細 書

## 1. 発明の名称

多値直交振幅変調方式

## 2. 特許請求の範囲

再生キャリアの位相不確定が除去される様に、  
入力する複数系列のデジタル信号を符号化する  
差動・回転対象符号部(1)と、

該差動・回転対象符号部の出力をアナログ信号に  
変換するデジタル／アナログ変換部(2)と、  
該デジタル／アナログ変換部の出力で搬送波を  
直交振幅変調する変調器(3)とからなる多値直交振  
幅変調部において、

各象限の境界に最も接近している信号点の間の間  
隔を広げる信号点配置変換器(4)を設け、  
ビット誤り率を改善する様にした事を特徴とする  
多値直交振幅変調方式。

## 3. 発明の詳細な説明

## (概要)

多値直交振幅変調方式において、再生搬送波の  
位相不確定が除去される差動・回転対象符号器と、  
デジタル／アナログ変換器との間に信号点配置  
変換器を挿入して、各象限の境界に最も近い信号  
点の間の間隔を広げてビット誤り率の劣化を改善  
する様にしたものである。

## (産業上の利用分野)

本発明は、デジタルマイクロ波通信に使用す  
る多値直交振幅変調方式の改良に関するものであ  
る。

近年、各種のデジタルマイクロ波方式、例え  
ば64値直交振幅変調方式(以下64QAM方式と省略  
する)が実用化されているが、周波数利用効率を  
向上させる為に256QAM方式とより多値化の傾向に  
ある。

しかし、多値化が進めば進む程、装置に対する  
要求性能が厳しくなるので、装置としては、例え



ばビット誤り率の劣化を出来るだけ少なくすることが必要である。

(従来の技術)

第3図は従来例のブロック図、第4図は第3図の信号点配置図を示すが、256QAM方式の場合を示す。

尚、各信号点の下に記載されている数字は第2ビット～第4ビットのデータで、各象限の右上の括弧内に記載されている第1ビットの数字を第2ビットの前に付加したものが対応するデータとなる。例えば、A点のデータは100 100 と記載されているが、第1象限の右上の1 1 を付加すると実際は1100 1100 を示す事になる。

さて、第4図を参照して第3図の動作を説明する。まず、第3図において、入力される4ビット2系列 (I ch, Q ch) のデータが差動・回転対象符号器1の中の差動符号器11に加えられる。

ここで、昭和60年3月1日企画センタ発行の森原守二監修「デジタルマイクロ波通信」p.106

基準波送波の位相に0, 90, 180, 270度と $90 \times n$ 度の位相不確定があっても、第2～第4ビットに変化を生じないので、上記の差動変換は第1ビットの信号に対してのみ行えばよく、第2～第4ビットの信号は変換しないでそのまま通過させる。

ここで、 $n$ は整数を示す。

そこで、1100 1100 が回転対象符号器12に入力すると1111 1111 が出力され、デジタル/アナログ変換器21,22で最大のアナログ量に変換され、変調器3で送波を直交振幅変調してA点の位置に配置される。

以下、入力データは第4図の信号点配置図のそれぞれの位置に対応するアナログ量に変換され、第4図に示す様な位置にそれぞれ配置される。

(発明が解決しようとする問題点)

ここで、第4図の信号点配置図に示す様に、同一象限内で、例えば下位3ビットの信号点D (000 010) が隣りのビット001 110、又は 001 010に誤っても1ビットしか誤らない。

～107で示される様に、送信信号の絶対位相を知らなくても正しいデータを復調できる様に、信号点の位置に情報を乗せず、位置の遷移に情報を乗せる。

即ち、差動符号器11で $y_i = x_i + y_{i-1}$ の和分演算を、受信側の差動復符号器 (図示せず) で $x_i = y_i - y_{i-1} = (x_i + y_{i-1}) - y_{i-1} = x_i$ の差分演算を行って原信号に変換する事により送信信号の絶対位相を知る事なしに復調できる。

尚、 $y_i$ は符号器出力、 $x_i$ は符号器入力を示し、和分演算と差分演算は対の操作であり、両者を合わせて差動変換と云う。

次に、差動符号器11の出力は更に回転対象符号器12に加えられ、第4図に示す様に、第2ビット～第4ビットの符号について、各象限の等しい符号が90度間隔になる様に配置される。

例えば、第4図の第4象限の信号点Bは第1象限の信号点Bと、第1象限の信号点Cは第2象限の信号点Cとそれぞれ90度の間隔になっている (第1ビットの符号を除く)。この為、復調の際に

しかし、象限を越えて誤る時は多ビットの誤りを生ずる。例えば、第4図の「象限を横切る際の誤り数」の欄に示す様に最大6ビット誤ることがある。この為、誤り率が劣化すると云う問題点がある。

(問題点を解決する為の手段)

上記の問題点は、第1図に示す如く、多値直交振幅変調部に信号点配置変換器4を設け、各象限の境界に最も接近している信号点の間の間隔を広くしてビット誤り率を改善する様にした本発明の多値直交振幅変調方式により解決される。

(作用)

本発明は、各象限の境界に最も接近している信号点の間の間隔を広くする事により、象限を越えて誤りが発生する可能性を減少する様にした。

即ち、差動・回転対象符号器1とデジタル/アナログ変換器2との間に第2図の信号点配置を記憶した信号点配置変換器4、例えばリード・オ

ンリ・メモリを挿入し、回転対象符号変換器12の出力を第2図の信号点配置になる様に変換して、デジタル／アナログ変換器に加える様にした。そこで、象限を越えて誤る信号点の数が減るのでビット誤り率が改善される。

(実施例)

第1図は本発明の実施例のブロック図、第2図は第1図の信号点配置図を示し、本発明の実施例で付加された部分は信号点配置変換器4である。

尚、全図を通じて同一記号は同一対象物を示し、256QAM方式の場合を示す。

そこで、第2図、第4図を参照しながら、第1図の動作を説明する。

第1図に示す様に、入力された4ビット2系列(Ich, Qch)のデータは差動・回転対象符号器1で第4図に示す様な信号点配置になる様な2値の信号に変換され信号点配置変換器4に加えられる。この信号点配置変換器は例えば、リード・オンリ・メモリで構成され、第4図の信号点配置を

第2図の信号点配置に変換するデータが与えられているので、回転対象符号器よりの出力をアドレスとして対応するデータが読出され、デジタル／アナログ変換器2に加えられるアナログ量に変換された後、変調器3で發送波を直交振幅変調して第2図に示す様な信号点配置を持つ256QAM波が得られる。これにより、ビット誤り率が改善される。

(発明の効果)

以上詳細に説明した様に、各象限の境界に最も接近している信号点の間隔を広くしたので、ビット誤り率の劣化が改善されると云う効果がある。

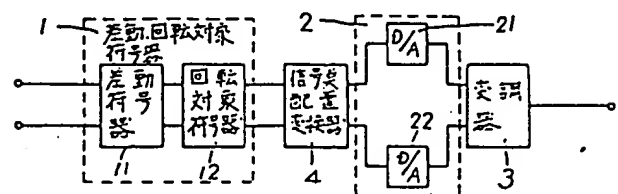
4. 図面の簡単な説明

第1図は本発明の実施例のブロック図、第2図は第1図の信号点配置図、第3図は従来例のブロック図、第4図は第3図の信号点配置図を示す。

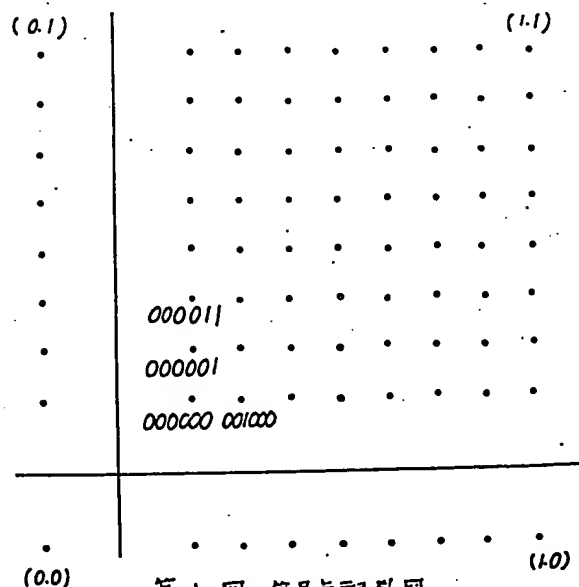
図において、

- 1は差動・回転対象符号器、
- 2はデジタル／アナログ変換器、
- 3は変調器、
- 4は信号点配置変換器を示す。

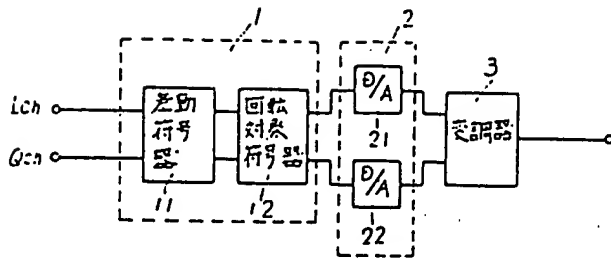
代理人 弁理士 井 裕 貞一



本発明の実施例のブロック図  
第1図



第1図の信号点配置図  
第2図



従来例のブロック図  
第3図

(0.1)	
100000	000100 001100 011100 010100 110100 111100 101100 100100
101000	000101 001101 011101 010101 110101 111101 101101 100101
111000	000111 001111 011111 010111 110111 111111 101111 100111
110000	000110 001110 011110 010110 110110 111110 101110 100110
010000	000010 001010 011010 010010 110010 111010 101010 100010
011000	000011 001011 011011 010011 110011 111011 101011 100011
001000	000001 001001 011001 010001 110001 111001 101001 100001
000000	000000 001000 011000 010000 110000 111000 101000 100000
	B
(00)	000000 000001 000010 000011 000100 000101 000110 000111
	(1.0)
泉眼と橋	
切37祭の	0 2 4 2 4 6 4 2
誤り数	

第3図の信号兵配置図  
第4図